

Patent



IFW

Customer No. 31561
Application No.: 10/707,825
Docket No. 10786-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Liu et al.
Application No. : 10/707,825
Filed : Jan 15, 2004
For : GOLD BUMP STRUCTURE AND FABRICATING
METHOD THEREOF
Examiner : GRAYBILL, DAVID E
Art Unit : 2822

ASSISTANT COMMISSIONER FOR PATENTS

Alexandria, VA22314

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.: 92106257,
filed on: 2003/3/21.

A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: May 9, 2005

By: Belinda Lee
Belinda Lee
Registration No.: 46,863

Please send future correspondence to:

7F.-1, No. 100, Roosevelt Rd.,

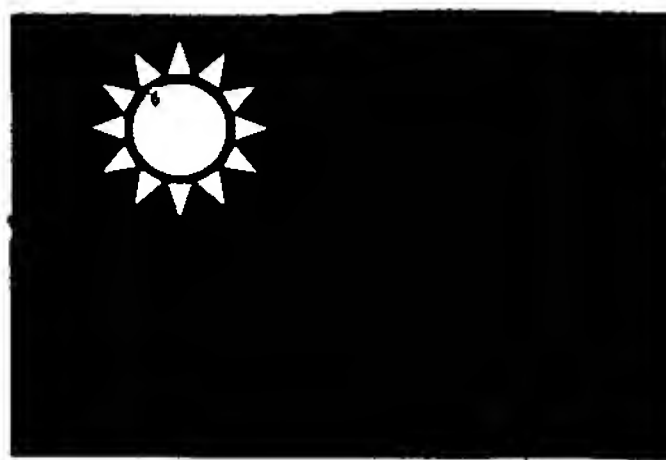
Sec. 2, Taipei 100, Taiwan, R.O.C.

Tel: 886-2-2369 2800

Fax: 886-2-2369 7233 / 886-2-2369 7234

E-MAIL: BELINDA@JCIPGroup.com.tw; USA@JCIPGroup.com.tw

Best Available Copy



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder

申請日：西元 2003 年 03 月 21 日
Application Date

申請案號：092106257
Application No.

申請人：國立中央大學
Applicant(s)

局長
Director General

蔡練生

CERTIFIED COPY OF
PRIORITY DOCUMENT

發文日期：西元 2004 年 1 月 2
Issue Date

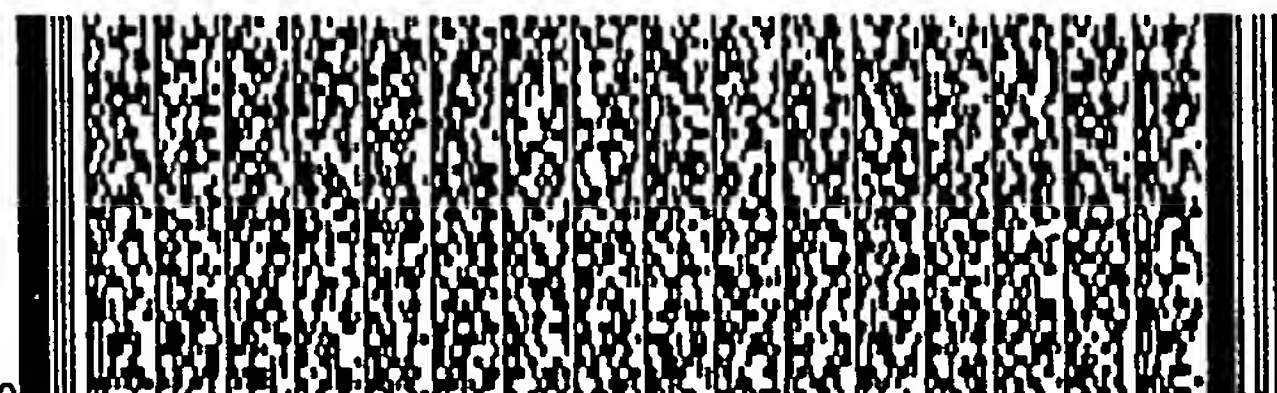
發文字號：09320071190
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	覆晶金凸塊結構及其製造方法
	英 文	Flip chip Au bump structure and method of manufacturing the same
二、 發明人 (共2人)	姓 名 (中文)	1. 劉正毓 2. 王信介
	姓 名 (英文)	1. Cheng-Yi Liu 2. Shen-Jie Wang
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中 文)	1. 桃園縣中壢市九和一街18號13樓之3 2. 台北縣中和市立德街193號3樓
	住居所 (英 文)	1. 13Fl.-3, No. 18, Jiouhe 1st St., Jungli City, Taoyuan, Taiwan 320, R.O.C. 2. 3Fl., No. 193, Lide St., Junghe City, Taipei, Taiwan 235, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 國立中央大學
	名稱或 姓 名 (英文)	1. National Central University
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 桃園縣中壢市五權里中大路300號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. No. 300, Jungda Rd., Jungli City, Taoyuan, Taiwan 320, R.O.C.
	代表人 (中文)	1. 劉全生
	代表人 (英文)	1. Chuan-Sheng Liu



四、中文發明摘要 (發明名稱：覆晶金凸塊結構及其製造方法)

一種覆晶金凸塊結構及其製造方法，其結構係配置於晶片上之金凸塊表面鍍上鎳層及銅層，其中鎳層係鍍於金凸塊表面，銅層則覆蓋於鎳層表面，而形成鎳/銅阻障層。藉由金凸塊上鍍的鎳/銅層，阻障金凸塊與錫料之界面反應，而避免快速反應的金-錫間面反應，因而避免產生脆性的覆晶凸塊接點。

伍、(一)、本案代表圖為：第____2____圖

(二)、本案代表圖之元件代表符號簡單說明：

200：晶圓

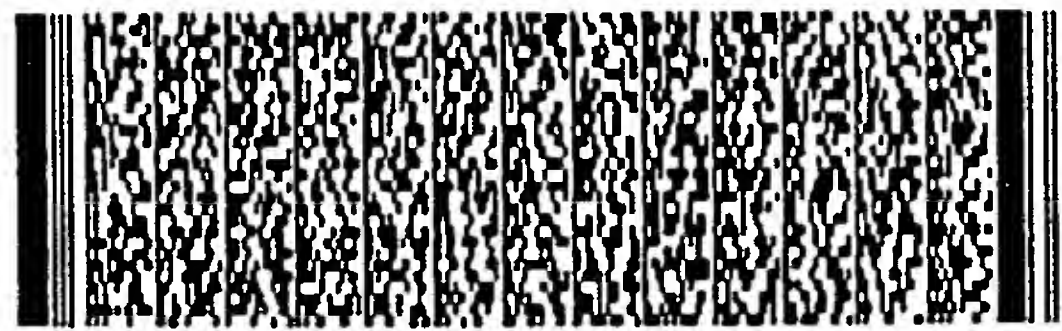
202：金凸塊

204：鎳層

206：銅層

陸、英文發明摘要 (發明名稱：Flip chip Au bump structure and method of manufacturing the same)

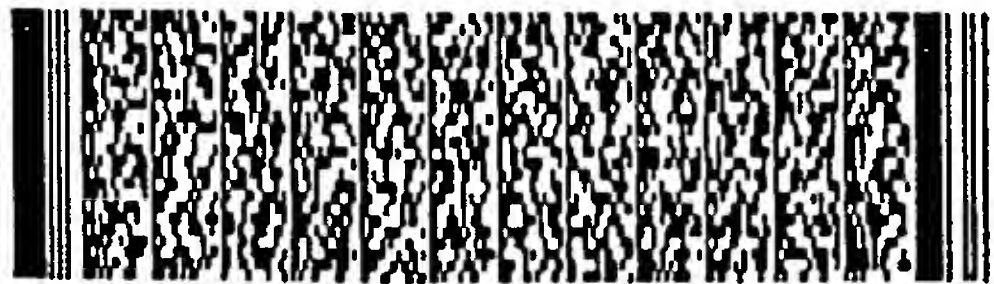
A flip chip Au bump structure and method of manufacturing the same are provided. The structure is that Au bumps coated with a nickel layer and a copper layer located on a chip, wherein the nickel layer is coated on a surface of the Au bumps and the copper layer is coated on a surface of the nickel layer to form a nickel/copper barrier layer. Because of the



四、中文發明摘要 (發明名稱：覆晶金凸塊結構及其製造方法)

陸、英文發明摘要 (發明名稱：Flip chip Au bump structure and method of manufacturing the same)

nickel/copper barrier layer on the surface of the Au bumps, the interfacial reaction between Au bumps and solder will be hindered, and it can retard fast interfacial reaction of Au-Sn interface, whereby avoiding forming cold joint.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

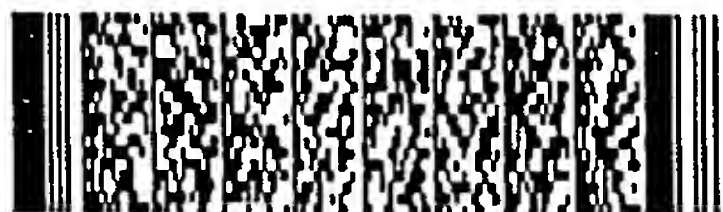
☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

發明所屬之技術領域

本發明是有關於一種凸塊(bump)結構及其製造方法，且特別是有關於一種覆晶金凸塊(gold bump)結構及其製造方法。

先前技術

隨著半導體業的進展，許多相關技術也日新月異地在不斷演進中。就半導體成品製造而言，一般可分為三個階段，一為半導體基底的形成、再則半導體元件製造、最後則是封裝製程(package)，而現今的晶片級封裝技術方面有漸漸朝向覆晶封裝(flip chip)的封裝方式。由於覆晶封裝技術可降低晶片與基板間的電子訊號傳輸距離，所以適於高速元件的封裝，如微米及毫米波頻段晶片，而且覆晶封裝技術還可縮小晶片封裝後的尺寸，使得晶片封裝前後大小差不多，因此目前封裝技術中的主流之一就屬覆晶封裝技術最受矚目，其應用的範圍包括高階電腦、PCMCIA卡、軍事設備、個人通訊產品、鐘錶以及液晶顯示器等。

而在封裝技術中有所謂的「凸塊」，係指於晶圓上所長的金屬凸塊，每個凸塊皆是IC信號接點。金屬凸塊多用於體積較小的封裝產品上，其種類有金凸塊、共晶錫鉛凸塊(eutectic solder bump)及高鉛錫鉛凸塊(high lead solder bump)等。其中，以金凸塊最受到注意；因為高頻元件通常以金為主要金屬，但因為含錫的鐸料與金凸塊會形成快速的金-錫(Au-Sn)界面反應，導致兩者界面接點處形成過多金-錫的介金屬化合物。如第1圖所示，其係習知



五、發明說明 (2)

使用金凸塊於覆晶封裝時的元件剖面示意圖。

請參照第1圖，於一晶片100上形成有一金凸塊102，而當金凸塊102與錫料104接觸後，會在界面接點處形成一個非常脆性的金-錫化合物(cold joint)106。因此，金凸塊使用在覆晶封裝中的C4(controlled collapse chip connection)凸塊會有可靠度的問題，所以要如何研發一阻障層防止金凸塊與錫料快速反應，對於應用金凸塊於覆晶封裝是一大挑戰。

發明內容

因此，本發明之目的是提供一種覆晶金凸塊結構及其製造方法，以避免金凸塊與錫料間之快速反應所造成的脆性金-錫介金屬化合物。

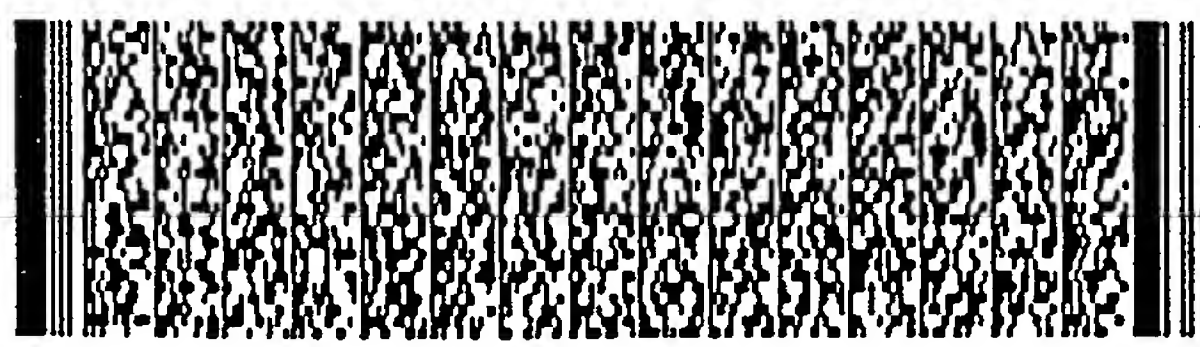
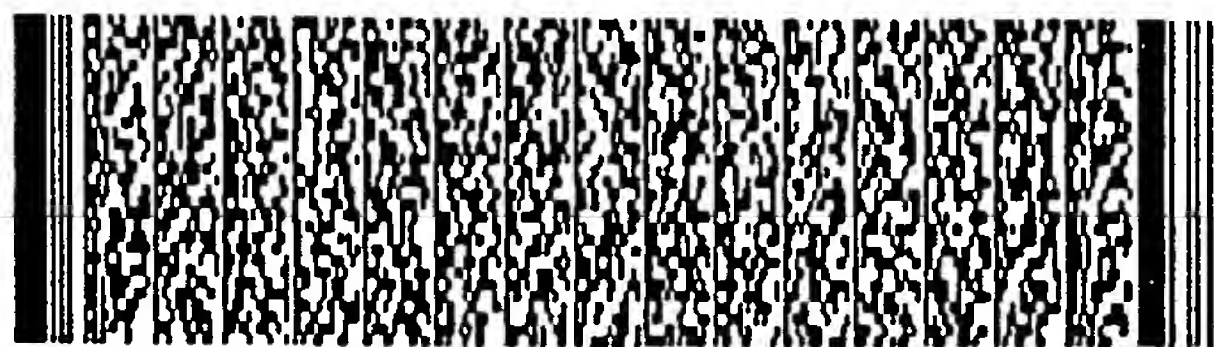
本發明之另一目的是提供一種覆晶金凸塊結構及其製造方法，以提供覆晶式封裝成本低與製程簡單的凸塊。

本發明之再一目的是提供一種覆晶金凸塊結構及其製造方法，以避免在發金凸塊與錫料界面產生脆性錫點。

根據上述與其它目的，本發明提出一種覆晶金凸塊結構係配置於一晶圓上，其結構包括數個金凸塊、鎳層以及銅層，其中鎳層係鍍於金凸塊表面，銅層則覆蓋於鎳層表面，以形成鎳/銅阻障層(barrier layer)。

本發明再提出一種覆晶金凸塊結構的製造方法，包括於一晶圓上先形成數個金凸塊，再於金凸塊表面鍍一鎳層。之後，於鎳層表面鍍一銅層。

本發明另外提出一種覆晶式封裝的結構，係配置於一



五、發明說明 (3)

晶片與一晶片基材之間，其結構包括數個金凸塊、鎳層以及含銅的鐸料，其中鎳層係鍍於金凸塊表面。而含銅的鐸料是位於晶片基材上，用以接合晶片與晶片基材。

本發明又提出一種覆晶式封裝方法，適於接合一晶片與一晶片基材。其步驟是先於晶圓上製作金凸塊，再於金凸塊表面鍍一鎳層。之後，晶圓切割進行，再提供一含銅的鐸料於晶片基材上。隨後，對準金凸塊與含銅的鐸料。之後，進行迴鐸(reflow)。

本發明因為在金凸塊上鍍有鎳/銅層，而覆晶金凸塊結構與鐸料之界面所形成的界面化合物是四元的 $(\text{Au}, \text{Cu}, \text{Ni})\text{Sn}_2$ 化合物，而非習知金與錫間因迴鐸所產生的 AuSn_4 化合物。因此，本發明可解決覆晶金凸塊結構與錫鐸料快速反應所造成的問題。

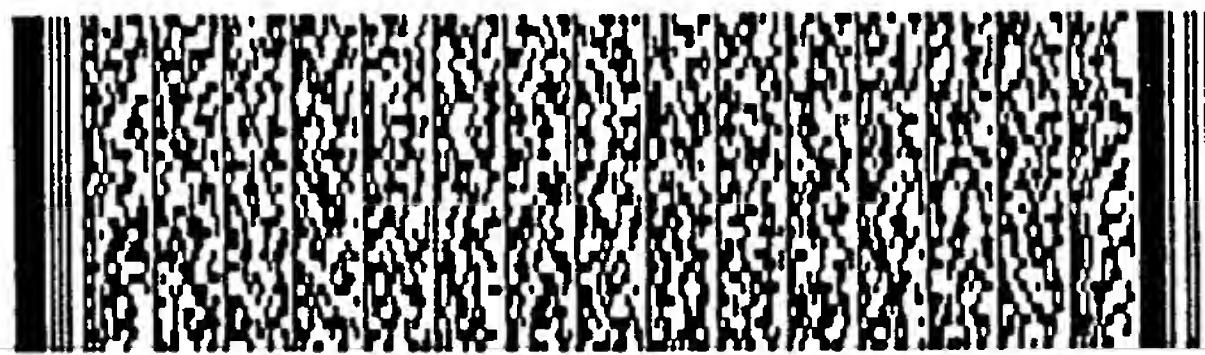
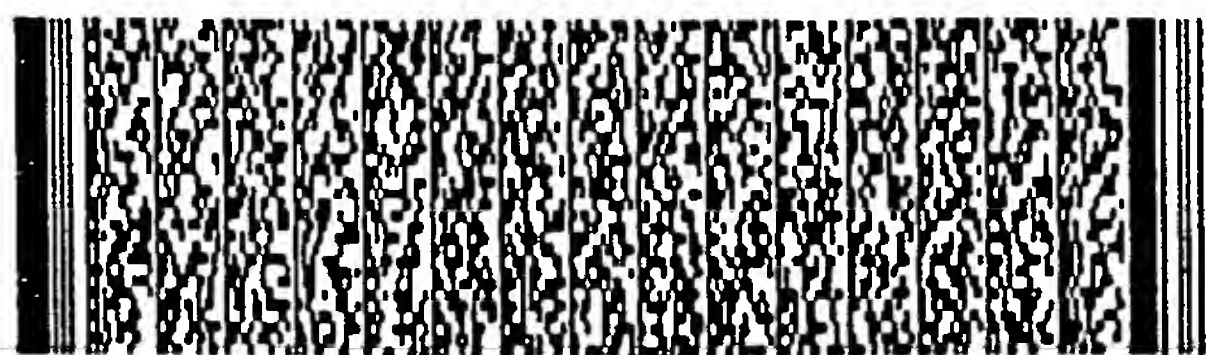
為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

實施方式

第一實施例

第2圖係依照本發明之一第一實施例之覆晶金凸塊(gold bump)的剖面示意圖；。

請參照第2圖，本發明之覆晶金凸塊結構係配置於一晶圓200上，其結構包括金凸塊202、鎳層204以及銅層206，其中金凸塊202之高度約在3~150微米之間。鎳層204係鍍於金凸塊202表面，且其厚度約在0.1~20微米之間。



五、發明說明 (4)

而銅層206覆蓋於鎳層204表面，其厚度約在0.1~10微米之間。

為說明本實施例之覆晶金凸塊結構的製造流程，請參考第3圖。

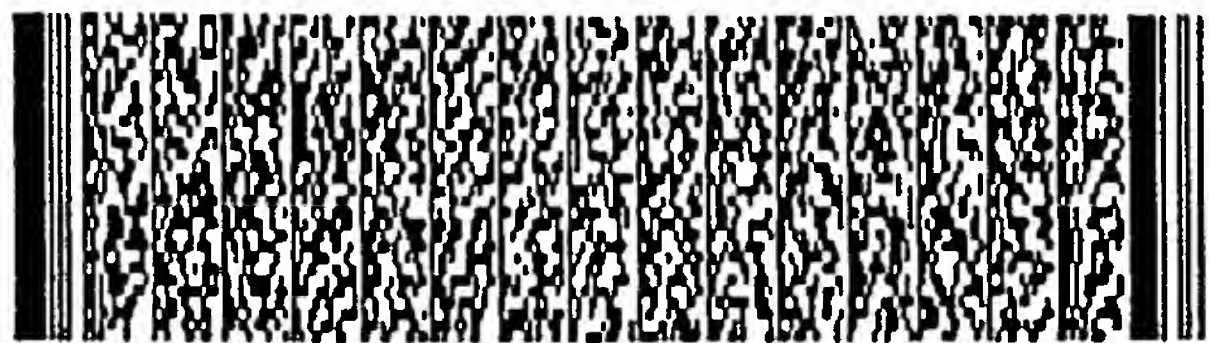
第3圖係製造第2圖所示之覆晶金凸塊結構的步驟圖。請參照第3圖，於步驟300中，於晶圓上形成金凸塊，其步驟例如是電鍍法(electroplating)或無電鍍法。然後，於步驟302中，於金凸塊表面鍍一鎳層，且其製作方法例如是電鍍法或無電鍍法。之後，於步驟304中，於鎳層表面鍍一銅層，且其製作方法例如是電鍍法或無電鍍法。

當本實施例之覆晶金凸塊結構應用於覆晶封裝技術時，由於鍍在金凸塊上的鎳/銅層具有阻障層之功效，所以可大幅降低金與錫間因迴鍍所產生的介金屬化合物，如 AuSn_4 ，且覆晶金凸塊結構與錫料(solder paste)之界面所形成的界面化合物是以 $(\text{Au}, \text{Cu}, \text{Ni})\text{Sn}_2$ 化合物為主，其生長速率較 AuSn_4 緩慢。因此，本發明可解決覆晶金凸塊結構與錫鍍料快速反應所造成的問題。

第二實施例

第4圖係依照本發明之一第二實施例之覆晶式封裝的結構剖面示意圖。

請參照第4圖，本發明之覆晶式封裝的結構係配置於一晶片400與一晶片基材410之間，其結構包括數個金凸塊402、鎳層404以及含銅的鍍料406，其中金凸塊402之高度約在3~150微米之間、含銅的鍍料406可以是一錫銅合金，



五、發明說明 (5)

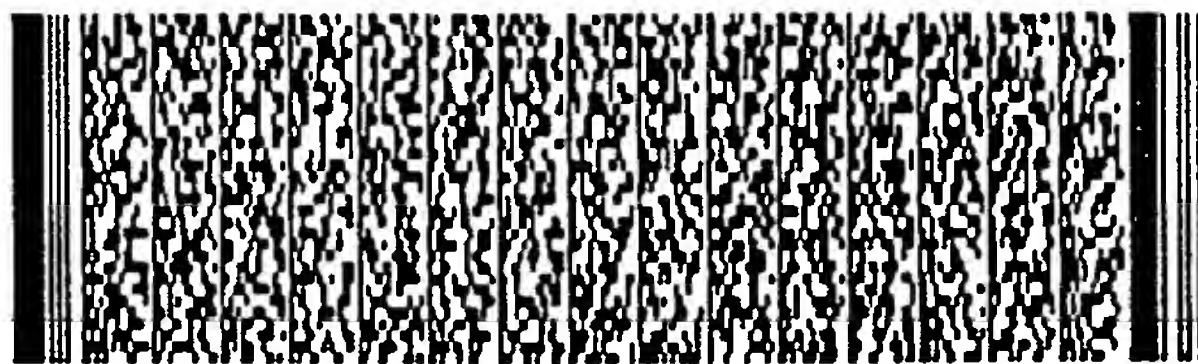
且其中的銅含量約在0.7~3.0 wt%之間。鎳層404係鍍於金凸塊402表面，且其厚度約在0.1~20微米之間。而含銅的錒料406是位於晶片基材410上，用以接合晶片400與晶片基材410。

為說明本實施例應用於覆晶式封裝的製造流程，請參考第5圖。

第5圖係將第4圖之結構應用於覆晶式封裝的步驟圖。請參照第5圖，於步驟500中，於晶圓上數個金凸塊，其步驟例如是電鍍法或無電鍍法。然後，於步驟502中，於金凸塊表面鍍一鎳層，且其製作方法例如是電鍍法或無電鍍法。之後，進行步驟504，晶圓切割，以形成數個晶粒(die)。然後，進行步驟506，於晶片基材上提供一含銅的錒料，其中含銅的錒料可以是一錫銅合金，且其中的銅含量約在0.7~3.0 wt%之間。接著，於步驟508中，對準金凸塊與含銅的錒料，以接合金凸塊與含銅錒料。之後，於步驟510中，進行迴錒(reflow)。

當本實施例之結構應用於覆晶封裝技術時，由於鍍在金凸塊上的鎳層於迴錒時會與含銅錒料反應形成三元的 $(\text{Cu}, \text{Ni})_6\text{Sn}_5$ 化合物，所以可大幅降低金與錫間因迴錒所產生的介金屬化合物，如 AuSn_4 ，故本發明可解決金凸塊結構與高錫無鉛錒料快速反應所造成的問題。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護



五、發明說明 (6)

範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖係習知使用金凸塊於覆晶封裝時的元件剖面示意圖；

第2圖係依照本發明之一第一實施例之覆晶金凸塊的剖面示意圖；

第3圖係製造第2圖所示之覆晶金凸塊結構的步驟圖；

第4圖係依照本發明之一第二實施例之覆晶式封裝的結構剖面示意圖；以及

第5圖係將第4圖之結構應用於覆晶式封裝的步驟圖。

圖式標示說明

100、400：晶片

102、202、402：金凸塊

104：鐸料

106：脆性的金-錫化合物(cold joint)

204、404：鎳層

206：銅層

406：含銅的鐸料

410：晶片基材

300、500：於晶圓上形成金凸塊

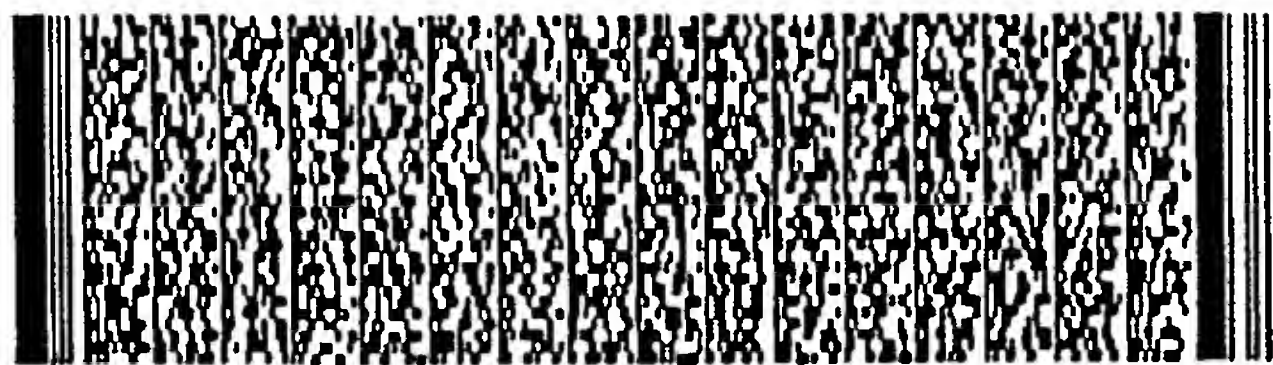
302、502：於金凸塊表面鍍一鎳層

304：於鎳層表面鍍一銅層

200：晶圓

504：晶圓切割

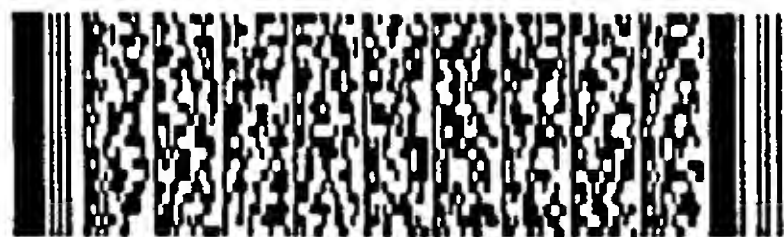
506：於晶片基材上提供一含銅的鐸料



圖式簡單說明

508 : 對準金凸塊與含銅的鐳料

510 : 進行迴鐳



六、申請專利範圍

1. 一種覆晶金凸塊結構，配置於一晶圓上，其結構包括：

至少一金凸塊；

一鎳層，鍍於該至少一金凸塊表面；以及

一銅層，覆蓋於該鎳層表面。

2. 如申請專利範圍第1項所述之覆晶金凸塊結構，其中該鎳層之厚度在0.1~20微米之間。

3. 如申請專利範圍第1項所述之覆晶金凸塊結構，其中該銅層之厚度在0.1~10微米之間。

4. 如申請專利範圍第1項所述之覆晶金凸塊結構，其中該至少一金凸塊之高度在3~150微米之間。

5. 一種覆晶式封裝的結構，配置於一晶片與一晶片基材之間，其結構包括：

至少一金凸塊，位於該晶片上；

一鎳層，鍍於該至少一金凸塊表面；以及

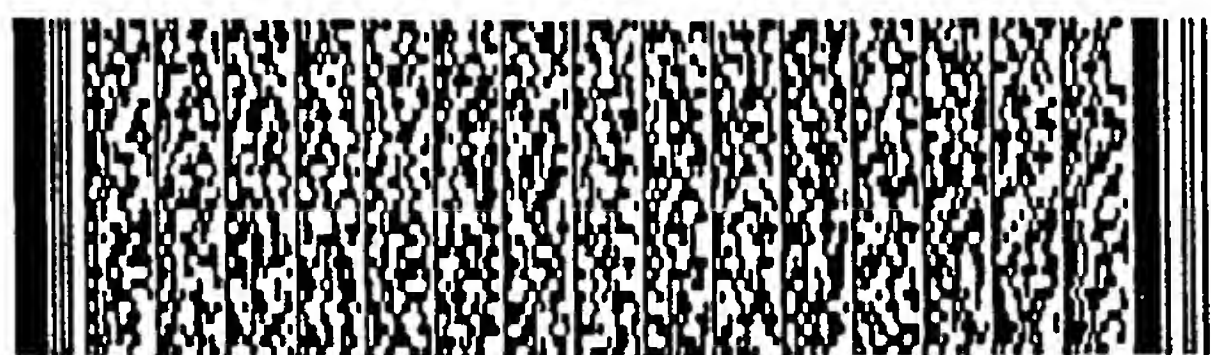
一含銅的鐸料，位於該晶片基材上，用以接合該晶片與該晶片基材。

6. 如申請專利範圍第5項所述之覆晶式封裝的結構，其中該含銅的鐸料包括一錫銅合金。

7. 如申請專利範圍第6項所述之覆晶式封裝的結構，其中該錫銅合金之銅含量在0.7~3.0 wt%之間。

8. 如申請專利範圍第5項所述之覆晶式封裝的結構，其中該鎳層之厚度在0.1~20微米之間。

9. 如申請專利範圍第5項所述之覆晶式封裝的結構，



六、申請專利範圍

其中該至少一金凸塊之高度在3~150微米之間。

10. 一種覆晶金凸塊結構之製造方法，配置於一晶圓上，其步驟包括：

於該晶圓上形成至少一金凸塊；

於該至少一金凸塊表面鍍一鎳層；

以及

於該鎳層表面鍍一銅層。

11. 如申請專利範圍第10項所述之覆晶金凸塊結構之製造方法，其中於該晶圓上形成該至少一金凸塊之步驟包括電鍍法。

12. 如申請專利範圍第10項所述之覆晶金凸塊結構之製造方法，其中於該晶圓上形成該至少一金凸塊之步驟包括無電鍍法。

13. 如申請專利範圍第10項所述之覆晶金凸塊結構之製造方法，其中於該至少一金凸塊表面鍍該鎳層之步驟包括電鍍法。

14. 如申請專利範圍第10項所述之覆晶金凸塊結構之製造方法，其中於該至少一金凸塊表面鍍該鎳層之步驟包括無電鍍法。

15. 如申請專利範圍第10項所述之覆晶金凸塊結構之製造方法，其中於該鎳層表面鍍該銅層之步驟包括電鍍法。

16. 如申請專利範圍第10項所述之覆晶金凸塊結構之製造方法，其中於該鎳層表面鍍該銅層之步驟包括無電鍍



六、申請專利範圍

法。

17. 一種覆晶式封裝方法，適於接合一晶片與一晶片基材，其步驟包括：

於一晶圓上形成至少一金凸塊；

於該至少一金凸塊表面鍍一鎳層；

切割該晶圓；

於該晶片基材上提供一含銅的鐸料；以及

對準該至少一金凸塊與該含銅的鐸料。

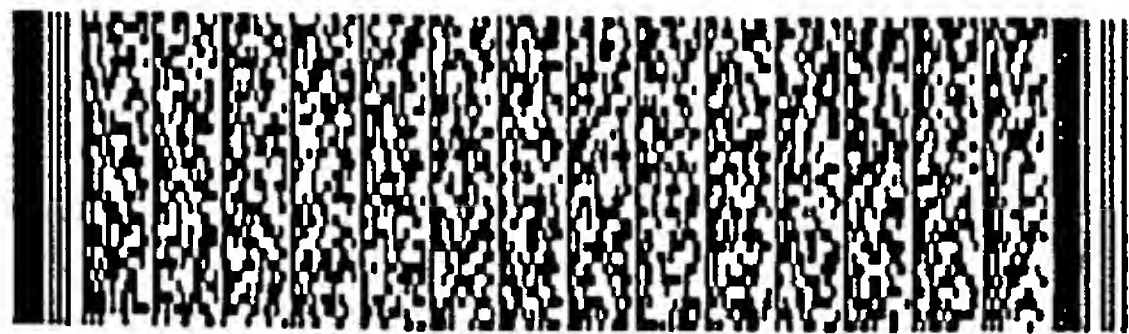
18. 如申請專利範圍第17項所述之覆晶式封裝方法，其中於該晶圓上形成該至少一金凸塊之步驟包括電鍍法。

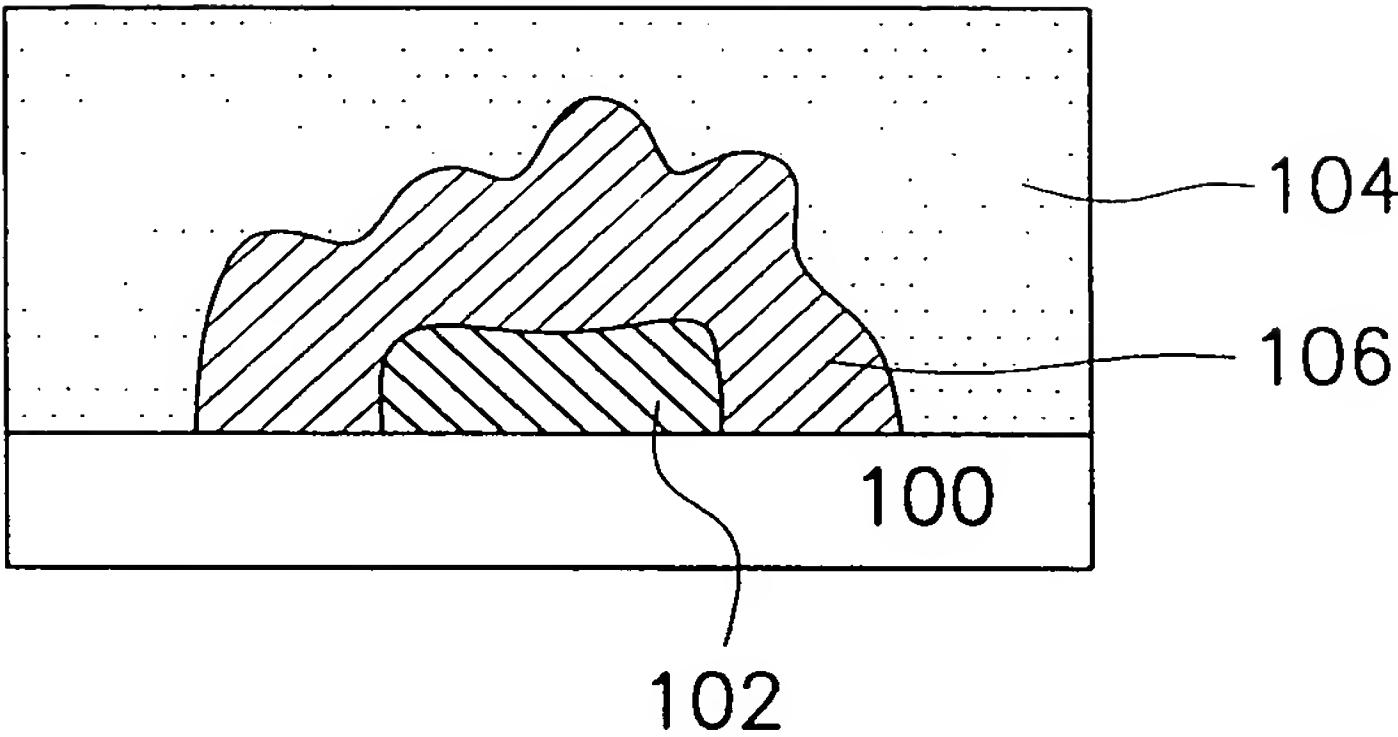
19. 如申請專利範圍第17項所述之覆晶式封裝方法，其中於該晶圓上形成該至少一金凸塊之步驟包括無電鍍法。

20. 如申請專利範圍第17項所述之覆晶式封裝方法，其中於該至少一金凸塊表面鍍該鎳層之步驟包括電鍍法。

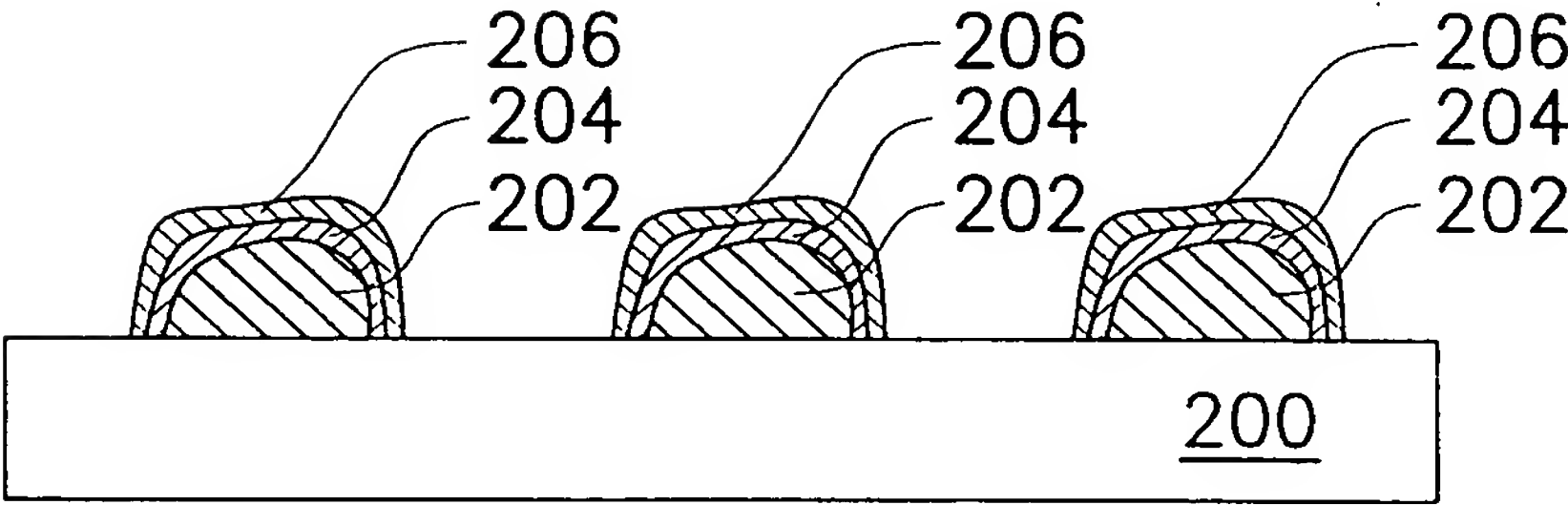
21. 如申請專利範圍第17項所述之覆晶式封裝方法，其中於該至少一金凸塊表面鍍該鎳層之步驟包括無電鍍法。

22. 如申請專利範圍第17項所述之覆晶式封裝方法，其中對準該至少一金凸塊與該含銅的鐸料之後，更包括進行迴鐸。

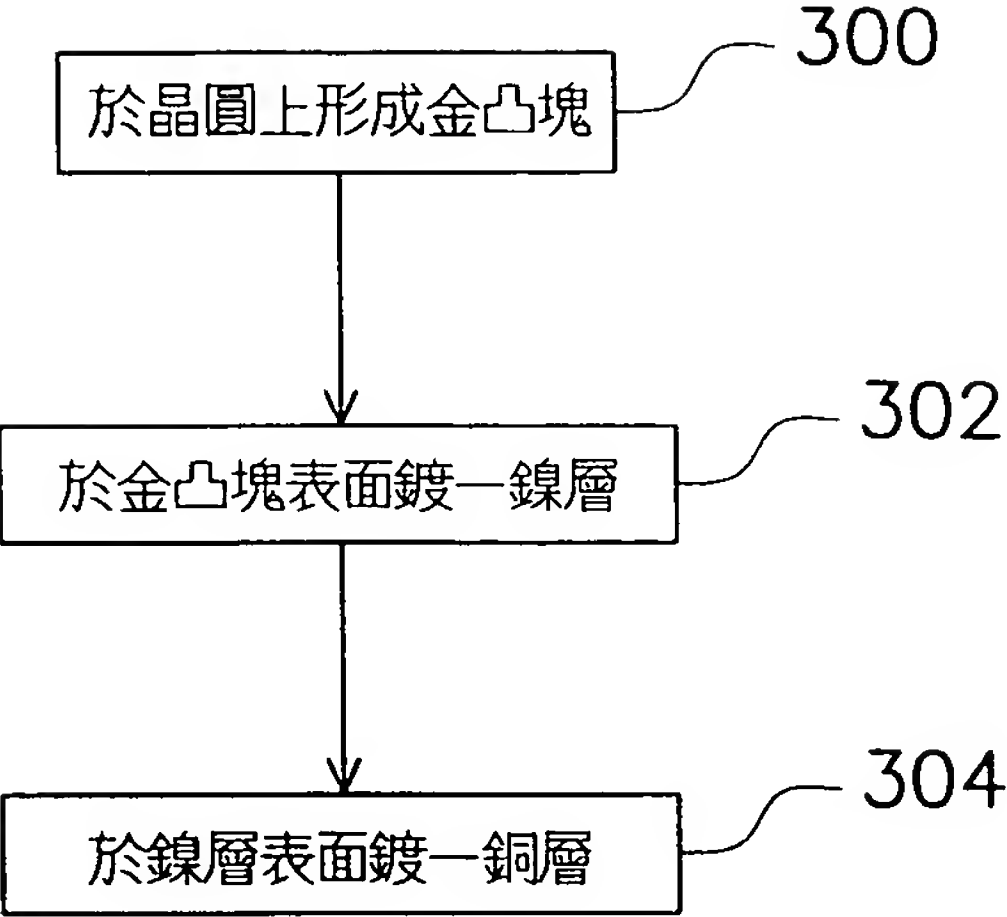




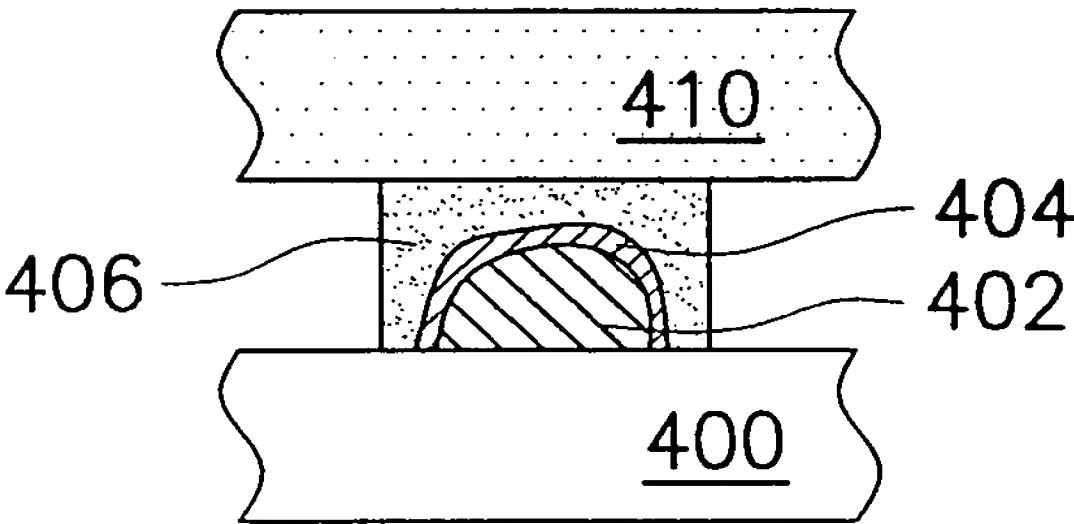
第 1 圖



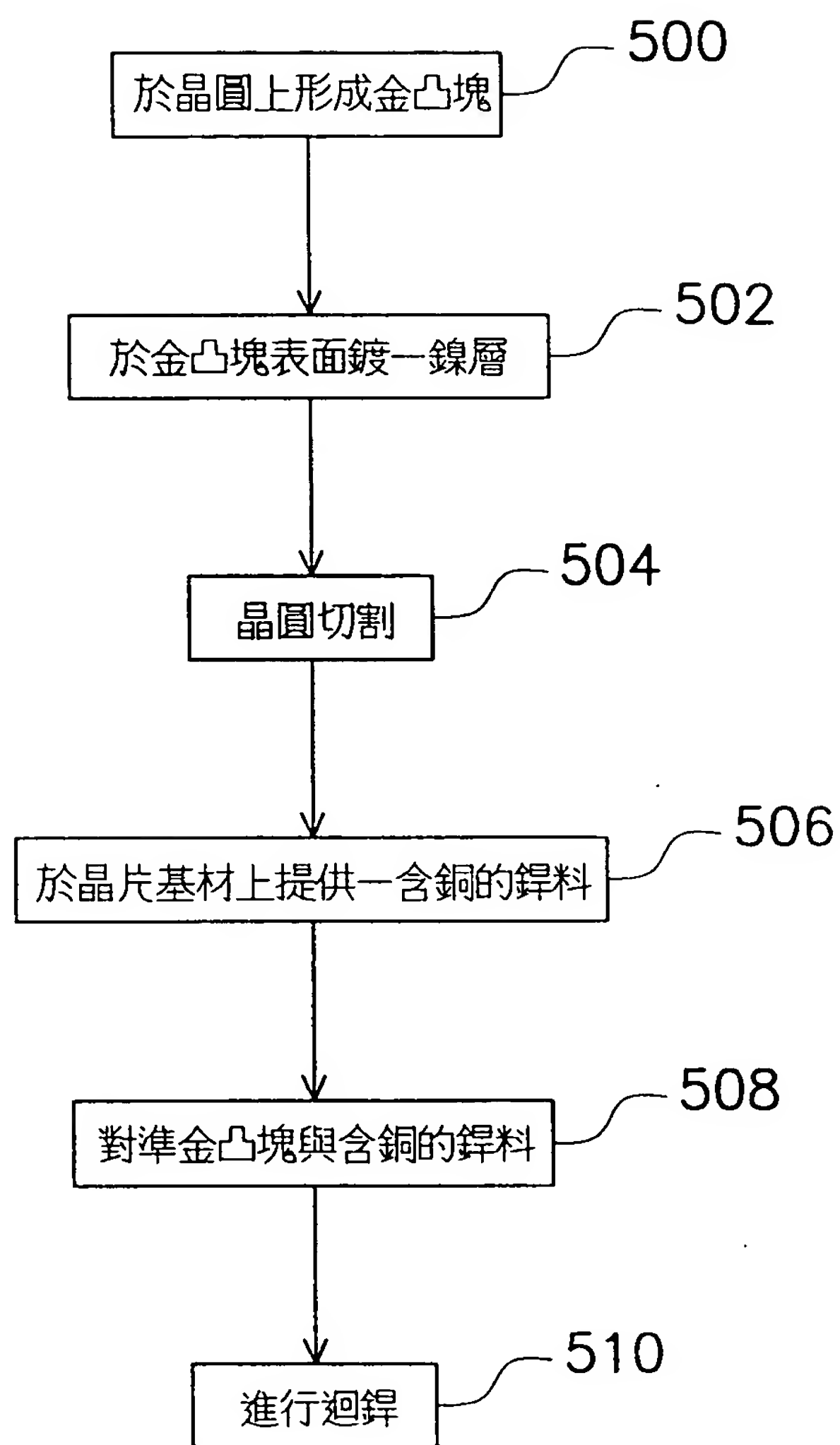
第 2 圖



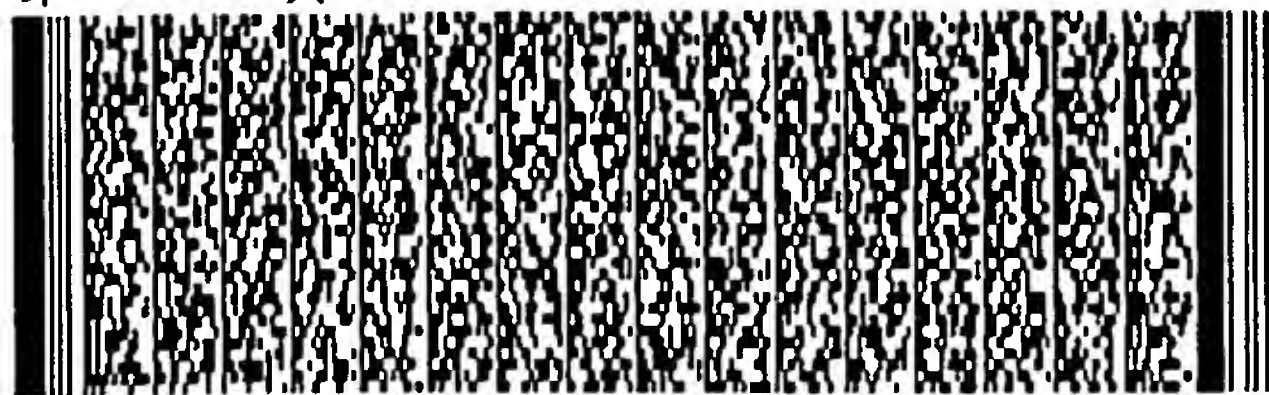
第 3 圖





第 4 圖




第 5 圖

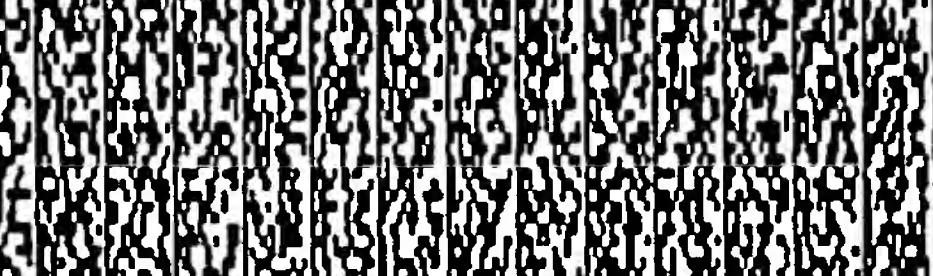



100

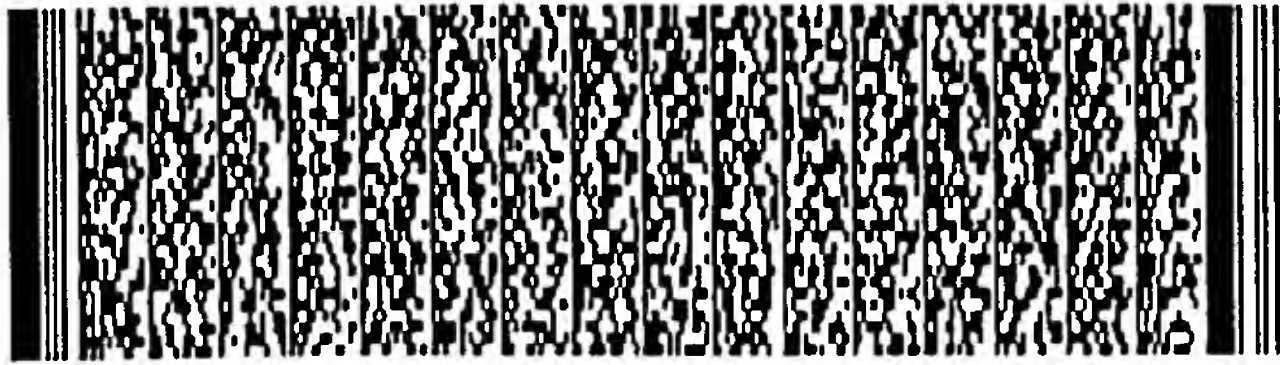




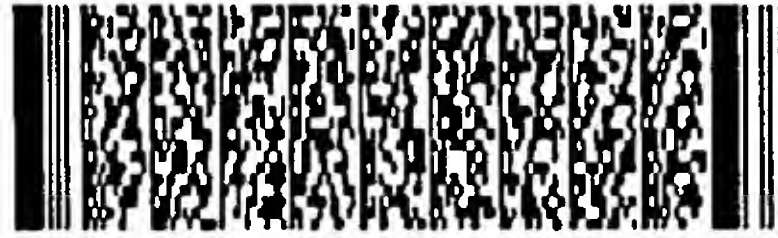
100



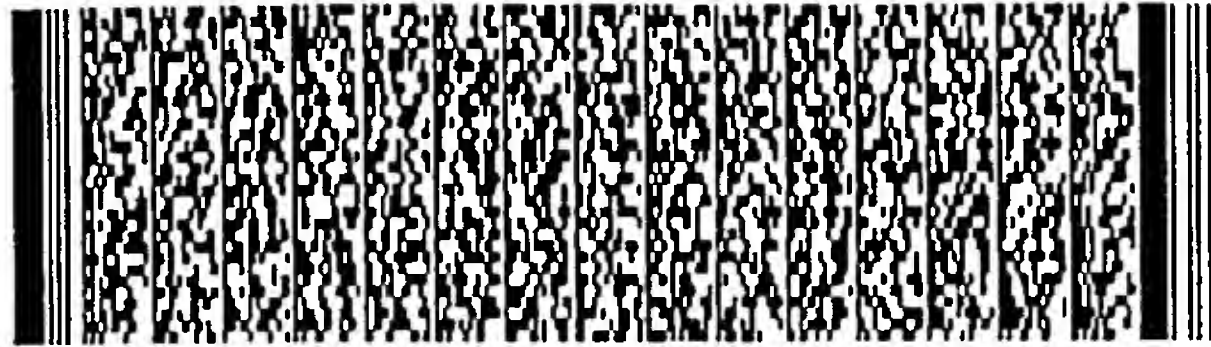
第 11/15 頁



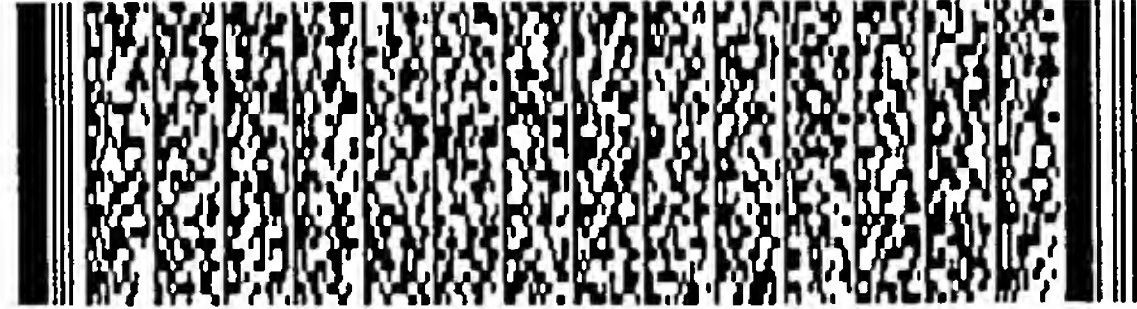
第 12/15 頁



第 13/15 頁



第 14/15 頁



第 15/15 頁

